

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216345

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01J 1/44
G06F 12/14
G06F 15/78

(21)Application number : 11-018221

(71)Applicant : SHARP CORP

(22)Date of filing : 27.01.1999

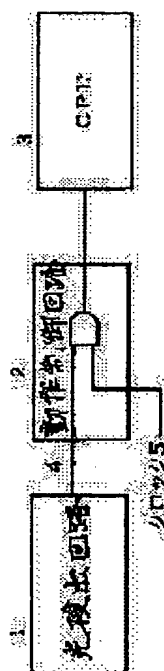
(72)Inventor : OKAMOTO JUNICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device, whose structure makes analysis of operation of a circuit constituent part to be difficult and can prevent duplication, imitation, exploitation of information, and remodelling by some other person.

SOLUTION: This semiconductor integrated circuit device is provided with a photodetecting circuit 1 for outputting a detection signal 4 including a photosensor and an operation control circuit 2 comprising an AND-gate for controlling the supply and stop of supply of a clock signal 5 to a CPU 3 according to the output signal from the photodetecting circuit 1. At normal usage, the circuit device is used in the state light is emitted. Therefore, a photodetecting signal 4 with high level is outputted from the circuit 1, the clock signal 5 is supplied to the CPU 3 via the AND-gate, and it executes normal operation. When the third party analyses the operation, and the operational analysis is performed in a light-shielded state. Therefore, an light non-detecting signal 4 of low level is outputted from the circuit 1, and the AND-gate is closed, so that the supply of the clock signal 5 to the CPU 3 is stopped, and the CPU 3 stops its operation.



LEGAL STATUS

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection, or]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216345

(P2000-216345A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	H 2 G 0 6 5
21/822		G 0 1 J 1/44	A 5 B 0 1 7
G 0 1 J 1/44		G 0 6 F 12/14	5 B 0 6 2
G 0 6 F 12/14		15/78	5 1 0 G 5 F 0 3 8
15/78	5 1 0		

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平11-18221

(22) 出願日 平成11年1月27日 (1999.1.27)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岡本 純一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆輔

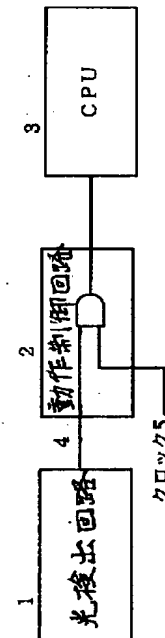
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 回路構成部の動作解析を困難にし、他人による複製、模倣、情報の搾取、改ざんを防止し得る構成とした半導体集積回路装置を提供すること。

【解決手段】 フォトセンサを含み、検出信号4 (外部よりの入射光が検出されたときは、ハイレベルの光検出信号、外部よりの入射光が検出されないときは、ロウレベルの光非検出信号) を出力する光検出回路1と、該光検出回路1よりの出力信号に応じて、CPU3へのクロック信号5の供給・供給停止を制御するアンドゲートから成る動作制御回路2とを含んで構成される。通常使用時に於いては、光が照射された状態で使用される。したがって、光検出回路1より、ハイレベルの光検出信号4が出力され、クロック信号5がアンドゲートを介してCPU3に供給され、通常動作が実行される。一方、第三者による動作解析時に於いては、遮光状態で動作解析が行われる。したがって、光検出回路1より、ロウレベルの光非検出信号4が出力され、アンドゲートが閉じた状態となるため、クロック信号5のCPU3への供給が停止され、CPU3は動作を停止する。



【特許請求の範囲】

【請求項1】 所定の回路機能を実行する内部回路を有する半導体集積回路装置に於いて、入射光の有無を検出して検出信号を出力する光検出回路と、該光検出回路よりの光検出信号に応答して、上記内部回路を通常動作状態に制御し、該光検出回路よりの光非検出信号に応答して、上記内部回路を通常動作状態とは異なる動作状態に制御する動作制御回路とを備えて成ることを特徴とする半導体集積回路装置。

【請求項2】 所定の記憶情報を記憶した記憶回路を有する半導体集積回路装置に於いて、入射光の有無を検出して検出信号を出力する光検出回路と、該光検出回路よりの光非検出信号に応答して、上記記憶回路の記憶情報の消去を指示する記憶情報消去信号を出力する制御回路とを備えて成ることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所定の回路機能を実行する内部回路、又は所定の記憶情報を記憶した記憶回路を有する半導体集積回路装置に関するものであり、特に、その回路が第三者によって動作解析されることを防止し、回路の模倣、複製、或いは、記憶情報の漏洩、改ざんを防止した半導体集積回路装置に関するものである。

【0002】

【従来の技術】半導体集積回路装置に於いては、半導体基板上に配置された多数の半導体素子を、 α 線、湿気、応力、光などの外部雰囲気の影響から保護するために、樹脂などで封止、遮光し、光や湿気混入による誤動作、応力による特性変動を防止することが行われている。また、回路構成部は、外部雰囲気から保護するために、酸化シリコン膜等の保護膜で覆われている。

【0003】

【発明が解決しようとする課題】半導体集積回路装置に於ける回路構成部は開発に長時間を要したものや、獨創性に優れたものがあり、他人によって模倣、複製がなされないようにしておくことが好ましいものがある。また、半導体集積回路装置には記憶素子が内蔵され、重要情報が記憶されており、その情報が漏洩、改ざんされないようにしておくことが好ましいものも存在する。

【0004】通常、半導体集積回路装置は、樹脂等で封止されており、外部からは、記憶回路の内容を動作解析することは困難である。すなわち、マイコン等は、記憶素子（ROM、RAM、フラッシュメモリ等）を内蔵しており、これらの記憶素子は、CPUを介してデータのやり取りを行うため、これらの記憶素子の内容は、直接、半導体集積回路装置の外部には出力されない。この

ため、半導体集積回路装置の樹脂を開封し、光による誤動作を防ぐために、遮光状態として、装置を動作させて、記憶素子の情報を読み出す。

【0005】このように、半導体集積回路装置の樹脂の開封を行えば、容易に記憶素子の情報を読み出すことができるため、他人による複製、模倣、情報の搾取、改ざんにつながる可能性が多いにあり得る。

【0006】本発明は、上記従来の問題点を解決すべくなされたものであり、回路構成部の動作解析を困難にし、他人による複製、模倣、情報の搾取、改ざんを防止し得る構成とした半導体集積回路装置を提供するものである。

【0007】

【課題を解決するための手段】請求項1に係る本発明の半導体集積回路装置は、所定の回路機能を実行する内部回路を有する半導体集積回路装置に於いて、入射光の有無を検出して検出信号を出力する光検出回路と、該光検出回路よりの光検出信号に応答して、上記内部回路を通常動作状態に制御し、該光検出回路よりの光非検出信号に応答して、上記内部回路を通常動作状態とは異なる動作状態（動作停止状態、或いは、CPU等の暴走状態）に制御する動作制御回路とを備えて成ることを特徴とするものである。

【0008】また、請求項2に係る本発明の半導体集積回路装置は、所定の記憶情報を記憶した記憶回路を有する半導体集積回路装置に於いて、入射光の有無を検出して検出信号を出力する光検出回路と、該光検出回路よりの光非検出信号に応答して、上記記憶回路の記憶情報の消去を指示する記憶情報消去信号を出力する制御回路とを備えて成ることを特徴とするものである。

【0009】すなわち、半導体集積回路装置内に、入射光の有無を検出して検出信号を出力する光検出回路を内蔵させておき、該半導体集積回路装置を動作させるときは、光を照射した状態でないと動作しないようにシステムを構成し、通常使用状態では、半導体集積回路装置に光を当てて使用する。このために、本発明に係る半導体集積回路装置に於いては、回路構成部を封止、遮光する樹脂等のパッケージの一部に、光検出回路のセンサ部のみに光が照射されるような窓部を形成しておき、該窓部から入射する光を、光検出回路が検出できる構成とする。

【0010】一方、通常、回路構成を解析する場合は、半導体集積回路装置の回路構成部を保護する樹脂等のパッケージを開封し、光による誤動作を防止するため、半導体集積回路装置を遮光状態にして動作解析を行うが、この場合は、光検出回路より光非検出信号が出力されて、内部回路が通常動作状態とは異なる動作状態となるため、動作解析ができず、記憶情報の読み出しも不可となるものである。また、光検出回路よりの光非検出信号により、記憶回路の記憶情報の消去が実行されるため、

記憶情報の漏洩等が防止されるものである。

【0011】このように、光検出回路を半導体集積回路装置に内蔵させることにより、半導体集積回路装置に光が照射されているか否かを検知し、それによって、通常使用状態か否かを判定して、通常使用状態でないとき、すなわち、第三者による動作解析時には、半導体集積回路装置が、通常動作とは異なる動作（動作停止、記憶情報の消去動作等）を行うように回路を構成することにより、半導体集積回路装置が動作解析されることを防止することができ、模倣、記憶情報の漏洩等を防止することができるものである。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0013】図1は、本発明の一実施形態の構成を概念的に示したブロック構成図である。

【0014】図に示すように、本実施形態の半導体集積回路装置は、フォトセンサを含み、検出信号4（外部よりの入射光が検出されたときは、ハイレベルの光検出信号、外部よりの入射光が検出されないときは、ロウレベルの光非検出信号）を出力する光検出回路1と、該光検出回路1よりの出力信号に応じて、CPU3へのクロック信号5の供給・供給停止を制御するアンドゲートから成る動作制御回路2とを含んで構成される。

【0015】通常使用時に於いては、光が照射された状態で使用される。したがって、光検出回路1より、ハイレベルの光検出信号4が出力され、クロック信号5がアンドゲートを介してCPU3に供給され、通常動作が実行される。一方、第三者による動作解析時に於いては、上述のように、遮光状態で動作解析が行われる。したがって、光検出回路1より、ロウレベルの光非検出信号4が出力され、アンドゲートが閉じた状態となるため、クロック信号5のCPU3への供給が停止され、CPU3は動作を停止する。

【0016】図2は、本実施形態のパッケージ外観を示す上面図である。図に示すように、光検出回路部8のフォトセンサが設けられている領域に対応する、パッケージ6の一部に開口部7が形成されているものである。これにより、通常使用時に於いて、半導体集積回路装置に対して入射される外部光は、該開口部7を介して、光検出回路部8のフォトセンサに入射され、図1に示す光検出回路1より、ハイレベルの光検出信号4が出力されて、半導体集積回路装置は通常動作を実行するものである。

【0017】以下、上記光検出回路1の具体的構成について、図3を参照して、詳細に説明する。

【0018】図に於いて、9、10及び11は、それぞれ、NチャネルMOSトランジスタ、12はフォトセンサ（フォトダイオード）、14はオペアンプ、19は切り換えスイッチ、21は定電流源であり、また、15は

リセット信号、18はセレクト信号である。かかる構成の光検出回路は、例えば、CMOSイメージセンサ形成技術を使用することにより、容易に構成することができる。CMOSイメージセンサは、通常のCMOSプロセスに、一部のNチャネルMOSトランジスタのスレッシユホールド電圧を制御するためのマスクを一枚追加するだけで構成できるので、半導体基板上に容易に光検出回路を形成できるものである。なお、言うまでもないことではあるが、光検出回路の構成は、図3に示すものに限られるものではなく、外部よりの入射光の有無を検出して、所定の検出信号を出力できる構成のものであれば、どのような構成のものであってもよいものである。

【0019】図3に示すように、本実施形態に於ける光検出回路は、フォトセンサ12の初期状態を設定するためのNチャネルMOSトランジスタ9と、フォトセンサ12の出力が、そのゲートに接続されたNチャネルMOSトランジスタ10と、複数のフォトセンサ12を使用する場合に、活性化するフォトセンサを選択するためのセレクト信号18が、そのゲートに接続されたNチャネルMOSトランジスタ11と、定電流源21と、ノード13のレベル変化を検知するオペアンプ14とにより構成される。なお、設けられるフォトセンサ12が1個である場合は、NチャネルMOSトランジスタ11及びセレクト信号18は不要である。また、上述したように、本実施形態の半導体集積回路装置は、図2に示すように開口部7を設けたパッケージ6によりパッケージングされており、開口部7から入射する外部光が、光検出回路のフォトセンサ部12に照射されるように、開口部7の形成位置は設定されている。フォトセンサ部12以外のPN接合部は、パッケージにより遮光されている。

【0020】次に、図3に示す光検出回路の動作について説明する。

【0021】リセット信号15をハイレベルにして、予め、フォトセンサ12の電位をハイレベルにする。次に、リセット信号15をハイレベルにした状態で、セレクト信号18をハイレベルにして、切り換えスイッチ19をノード17側に接続することにより、該ノード17を基準レベル（電源電圧V_{dd}）に設定する。次いで、切り換えスイッチ19をノード16側に接続した後、リセット信号15をロウレベルにする。セレクト信号18で選択されたフォトセンサ12に光が照射されていると、励起された電子が発生し、該フォトセンサ12の出力電位（NチャネルMOSトランジスタ10のゲート電位）が低下する。これによって、NチャネルMOSトランジスタ10のオン抵抗が増大して、ノード13の電位が低下する。一方、フォトセンサ12に光が入射していないときは、ノード13の電位低下は生じない。これをオペアンプ14が検知して、検出信号20を出力する。なお、オペアンプ14は、上記ノード13の電位低下が検知されたときは、ハイレベルの光検出信号を出力し、

一方、上記ノード13の電位低下が検知されないときは、ロウレベルの光非検出信号を出力するように構成されているものである。

【0022】上記実施形態に於いては、外部よりの光入射がない場合に、CPUへのクロック信号の供給を停止し、CPUを動作停止状態として、記憶回路の記憶情報の読み出しを不可能にする構成としているが、動作停止状態とする代わりに、CPUを暴走状態にする構成とすることによっても、同様に、動作解析を不可能とすることができるものである。

【0023】また、CPUを動作停止状態等にする構成に代えて、或いは、該構成と併用して、外部よりの光入射が検知されなかったときには、内部の記憶回路（フラッシュメモリ等）の強制消去を実行させる構成とすることによっても、回路の模倣、記憶内容の漏洩等を防止することができるものである。

【0024】図4に、フラッシュメモリ内蔵1チップマイクロコンピュータに於いて、外部光の非検出時には、上記CPUの動作停止と、フラッシュメモリの強制消去とを共に実行させる構成とした場合の一構成例を示す。

【0025】一般に、マイクロコンピュータでは、内蔵しているメモリ（ROM、RAM、フラッシュメモリ）の内容は、直接LSIの外部には出力されない。CPUを介してデータのやりとりが実行される。したがって、光非検出信号に基づいて、CPUへのクロック信号の供給を停止し、CPUの動作を停止させれば、内蔵されるメモリのデータを読み出すことは困難となる。また、フラッシュメモリの消去動作機能を利用して、内蔵データを消去させれば、データの漏洩を防止することができるものである。

【0026】

【発明の効果】以上詳細に説明したように、本発明によれば、所定の回路機能を実行する内部回路、又は所定の記憶情報を記憶した記憶回路を有する半導体集積回路装置に於いて、その回路が第三者によって動作解析されることを防止することができ、回路の模倣、複製、或いは、記憶情報の漏洩、改ざんを防止することが可能となるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態の構成を概念的に示したブロック構成図である。

【図2】同実施形態のパッケージ外観を示す上面図である。

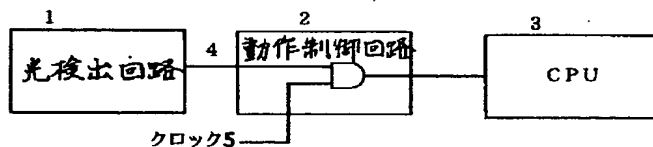
【図3】同実施形態に於ける光検出回路の具体的構成を示す回路構成図である。

【図4】本発明の他の実施形態であって、フラッシュメモリ内蔵1チップマイクロコンピュータに於いて、外部光の非検出時には、上記CPUの動作停止と、フラッシュメモリの強制消去とを共に実行させる構成とした場合の一構成例を示すブロック構成図である。

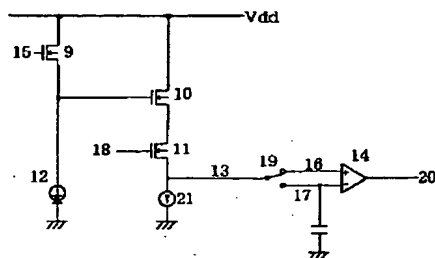
【符号の説明】

- | | |
|---|--------|
| 1 | 光検出回路 |
| 2 | 動作制御回路 |
| 3 | CPU |
| 4 | 検出信号 |
| 5 | クロック信号 |
| 6 | パッケージ |
| 7 | 開口部 |
| 8 | 光検出回路部 |

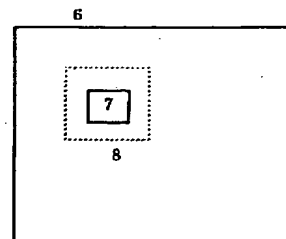
【図1】



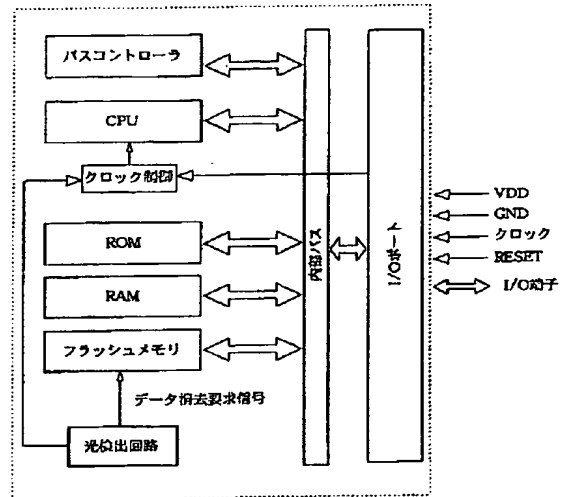
【図3】



【図2】



【図4】



フロントページの続き

Fターム(参考) 2G065 AA04 BA09 BA34 BA36 BA37
 BC01 BC03 BC19 BC22 BC33
 BC35
 5B017 AA06 AA07 BA08 BB03 CA11
 CA12
 5B062 AA07 CC01 DD10
 5F038 AV20 AZ07 BH03 BH07 DF04
 DF05 DF20 DT12 DT13 DT18
 EZ20